

⑫ 公開特許公報(A) 平4-148553

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月21日

H 01 L 23/12
23/02

Z

7220-4M
7352-4M

H 01 L 23/12

L

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 チップ型電子部品の製造方法

⑮ 特 願 平2-274359

⑯ 出 願 平2(1990)10月12日

⑰ 発 明 者 高 木 清 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内
 ⑰ 発 明 者 福 田 進 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内
 ⑰ 発 明 者 井 上 正 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内
 ⑰ 出 願 人 株式会社村田製作所 京都府長岡京市天神2丁目26番10号
 ⑰ 代 理 人 弁理士 中野 雅房

目 次

1. 発明の名称

チップ型電子部品の製造方法

2. 特許請求の範囲

(1) 複数個分の基板を含む親基板の上面に複数個分の上面電極を形成すると共に下面に各上面電極と導通した複数個分の下面電極を形成し、

親基板の上面に複数個の素子を搭載して各素子と前記各上面電極とを電気的に接続させ、

下面に複数個の凹所を形成された封止用親蓋を前記親基板の上に固着させて各素子を各凹所内に封入させ、

この後、親基板及び封止用親蓋を各素子毎に切り離すことを特徴とする半導体チップの製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明はチップ型電子部品の製造方法に関する。具体的には、例えば、ICや弾性表面波デバイス等の素子をパッケージ内に封入したチップ型電子部品の製造方法に関する。

[背景技術]

現在実用化されている小型の密閉型パッケージは、第9図に示すようなリード付きパッケージ51である。これは、下面に複数本のリード52を取着された基板53の上面に素子を搭載して素子とリード52とを電気的に導通させ、基板53にキャップ54を被せて基板53とキャップ54からなるパッケージ55内に素子を封入したものである。しかし、この電子部品を回路基板56に実装する場合には、回路基板56の電極57の上にリード52を乗せ、リード52と電極57とをハンダ58で半田付けしている。

しかしながら、このような構造の電子部品では、リードと回路基板上の電極とを接続する際にハンダを比較的多く使用するため、半田量のバラツキによって素子の高周波特性にバラツキを生じさせるという問題があった。また、リードの基板への取付位置精度が悪いため、自動実装も困難であった。

そこで、特開平2-87557号公報には、リ

ードを無くして基板表面に形成した表面電極を外
部接続用の電極としたリードレスパッケージ及び
その製造方法が開示されている。第10図は、こ
の製造方法の1工程を示している。この製造方法
は、複数の基板を含む親基板81の上面及び下
面にそれぞれ複数の上面電極及び下面電極を設け、
各上面及び下面電極を親基板81のスルーホール
82によって導通させ、この親基板81の上に複
数の素子83を搭載して上面電極と素子83と
の間にワイヤーボンディングを施した後、第10
図に示すように、各素子83の上に1つ1つキャ
ップ84を被せて各素子83をキャップ84内に
封入させ、ついで親基板81を各素子毎にカット
してチップ型電子部品を製造していた。

このため、製造工程においてキャップを各素子
の上に1つ1つ被せて接着してゆく作業が煩わし
く、製造効率が悪かった。

〔発明が解決しようとする課題〕

本発明は、叙上の従来例の欠点に鑑みてなされ
たものであり、その目的とするところはチップ型

複数の素子を一度に封止させることができ、従来
例のように親基板の上に素子を搭載した後、複数
個の素子に1つ1つキャップを被せるという複雑
な作業を無くすることができる。この結果、チップ
型電子部品の製造効率がより一層向上する。

〔実施例〕

以下、本発明の実施例を添付図に基づいて詳述
する。

親基板1は、複数枚のグリーンシートを積層し
て形成されており、例えば次のようにして製造さ
れる。まず、 SiO_2 - BaO - Al_2O_3 等のセラミック粉末
に添加物を加えて原料を調整し、これを仮焼した
後に粉碎し、粉碎粉にバインダー樹脂や可塑剤等
を混合する。つぎに、ドクターブレード法などによ
ってグリーンシートを成形し、複数枚のグリーン
シートを積層し、50～100℃の温度で15
0～250 kgfの圧力を加えてグリーンシートを
圧着させて未焼成の親基板1を得る。次に、数値
制御のNCドリルやNCパンチなどによって親基
板1に複数の貫通孔2を穿孔する。この後、親

電子部品の製造方法において、複数の素子に一
度にキャップを被せることができるようにし、そ
の製造効率を向上させることにある。

〔課題を解決するための手段〕

本発明のチップ型電子部品の製造方法は、複数
個分の基板を含む親基板の上面に複数個分の上面
電極を形成すると共に下面に各上面電極と導通し
た複数個分の下面電極を形成し、親基板の上面に
複数の素子を搭載して各素子と前記各上面電極
とを電気的に接続させ、下面に複数の凹所を形
成された封止用親蓋を前記親基板の上に固着させ
て各素子を各凹所内に封止させ、この後、親基板
及び封止用親蓋を各素子毎に切り離すことを特徴
としている。

〔作用〕

本発明にあっては、カットされて複数の基板
となる親基板の上に複数の素子を搭載した後、
下面に複数の凹所を有しカットされて複数の
キャップとなる封止用親蓋を基板の上に被せて各
凹所内に素子を封止させている。したがって、複

基板1の上面にCu系ペースト等の導電ペーストを
印刷し、第1図(a)に示すような上面パターン電
極3を形成する。この上面パターン電極3は、親
基板1を各基板4にカッティングした時、それぞ
れの部分が基板4の上面電極5（第8図参照）と
なるよう複数の上面電極5が連続したパターン
となっている。同様に、親基板1の下面に導電ペ
ーストを印刷し、第1図(b)に示すような環状の
下面パターン電極6を形成する。この下面パター
ン電極6も、親基板1のカッティング時に、それ
ぞれの部分が基板4の下面電極7（第7図参照）
となるように複数の下面電極7が連続したパタ
ーンとなっている。さらに、親基板1の貫通孔2
の内周面には導電ペーストが印刷されてスルーホ
ール8が形成される。もちろん、親基板1の両面
の上面パターン電極3と下面パターン電極6とは、
スルーホール8を介して互いに電気的に導通させ
られている。この後、親基板1と導電ペーストと
を非酸化雰囲気において950～1000℃の温
度で同時に焼成することによって親基板1ができ

あがる。第1図(a)(b)に示してあるものは、9個取りの親基板1であり、最終的には破線の箇所で個々の基板4に切り離されるものである。

また、封止用親蓋9は、親基板1とはほぼ同じ寸法を有しており、その下面には複数の凹所10が設けられている。第2図(a)に示す封止用親蓋9も、9個取りであり、最終的には破線の箇所で切り離されるものであり、凹所10は破線で囲まれた1つのキャップとなる部分の中央に配置されている。この封止用親蓋9は、第2図(b)に示すように、パンチング等によって複数の通孔11を穿孔されたグリーンシート12と孔のないグリーンシート13とを積層及び圧着させて下面に凹所10を形成し、これを焼成して製作される。

上記のようにして製造された親基板1は、切り離されることなく、親基板1をワークサイズとして素子14の実装工程へ送られる。まず、親基板1の上面及び下面パターン電極3、6及びスルーホール8には、Auメッキが施され、ついで第3図に示すように、四つのスルーホール8の中間位置

第6図及び第7図に示すような上面電極5と下面電極7になる。さらに、スルーホール8は4つに分割され、基板4のコーナ部に形成された側面電極19となる。

上記のようにして製造されたチップ型電子部品18はリードレスタイプであり、リードを用いることなく、第8図に示すように回路基板20の電極21にハンダ22で直接に接合されるものである。従って、リードを用いた場合のようにリードと基板との接合部分に浮遊容量が発生したり、リードの長さによって配線インピーダンスが大きくなったりすることを防止でき、高周波特性を良好にすることができる。

また、リードがなく、チップ部品化されているので、テーピングして自動実装機などに供給することができ、自動実装にも適している。しかも、このチップ型電子部品18は、4箇所に直角になったエッジ24を有している。このように少なくとも2箇所に直角になったエッジ24を有していれば、テーピングの際にエンボス内での回転

に各々素子14が搭載されてダイボンディングされ、各々の素子14と上面パターン電極3の間がワイヤー15によりボンディングされる。なお、素子14と上面電極とは、素子の下面に設けたパンプを用いてパンプ接続してもよい。

この後、第4図に示すように、素子14の上から親基板1の上に封止用親蓋9を被せて各素子14を凹所10内に納め、接着剤等を用いて封止用親蓋9の下面を親基板1の上面に接着し、素子14を各凹所10内に気密的に封入する。封止が完了した後、親基板1及び封止用親蓋9を第4図の一点鎖線C-C(もしくは、第1図及び第2図の破線)に沿ってダイシングソーでカットすることにより、第5図に示すようなチップ型電子部品18が複数個得られる。すなわち、第6図に示すように、親基板1は各基板4に分離され、同時に封止用親蓋9は各キャップ17に分離され、素子14は基板4とキャップ17からなるパッケージ18内に封止される。また、上面パターン電極3及び下面パターン電極6は、それぞれカットされて

を防止することができる。

また、親基板1の上に固着させた封止用親蓋9をカットすることによって各キャップ17を各基板4の上に取り付けているので、1つ1つキャップ17を素子14の上に取り付けてゆく作業がなくなり、製造工程が簡単になる。

なお、上記実施例では、上面電極と下面電極とを導通させる手段としてスルーホールを用いているが、これ以外にも積層電極等によって上面電極と下面電極を導通させるようにしてもよい。

[発明の効果]

本発明によれば、従来例のように親基板の上に素子を搭載した後、各素子に1つ1つキャップを被せるという繁雑な作業を無くすことができ、複数の素子を一度に封止させることができる。この結果、高周波特性のバラツキが小さく、自動実装にも好適なチップ型電子部品をより効率的に製造することができる。

4. 図面の簡単な説明

第1図(a)(b)ないし第4図は本発明の一実施例

の製造方法を示す説明図であって、第1図(a)(b)は親基板の上面図及び下面図、第2図(a)(b)は封止用親蓋の下面図及び一部破断した拡大断面図、第3図は親基板の上に素子を搭載した状態を示す断面図、第4図は親基板の上に封止用親蓋を積層して凹所内に素子を封止した状態を示す断面図である。第5図は同上的方法によって製造されたチップ型電子部品の斜視図、第6図は同上のチップ型電子部品の分解斜視図、第7図は同上のチップ型電子部品の下面図、第8図は同上のチップ型電子部品を回路基板に実装した状態を示す斜視図である。第9図は従来例のリード付きパッケージとその実装状態を示す断面図、第10図は別な従来例のチップ型電子部品の製造方法の一工程を示す一部破断した正面図である。

10…凹所

14…素子

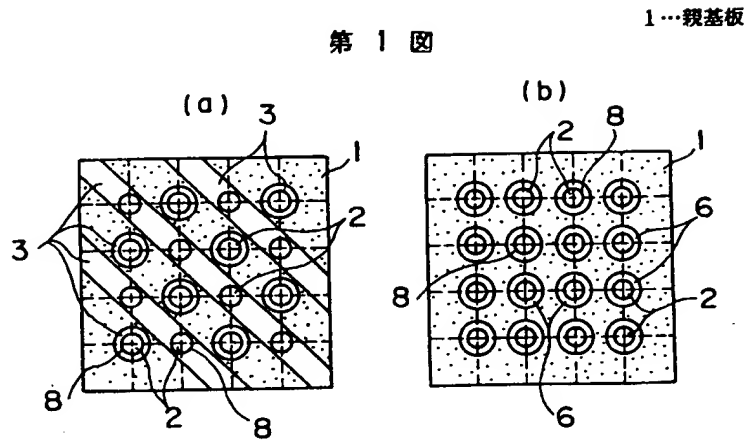
特許出願人 株式会社 村田製作所

代理人 弁理士 中 野 雅 房

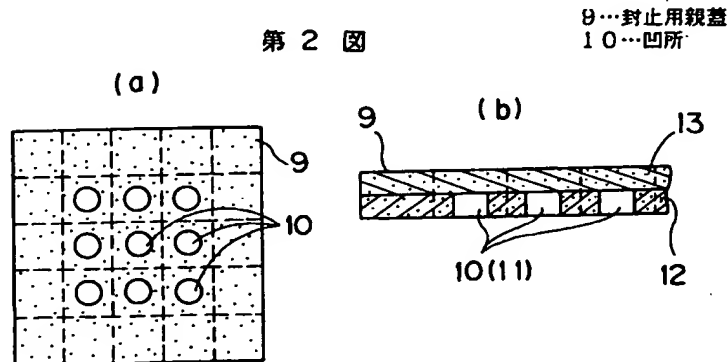


- 1…親基板
- 4…基板
- 5…上面電極
- 7…下面電極
- 9…封止用親蓋

第1図

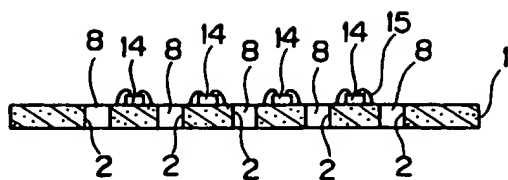


第2図

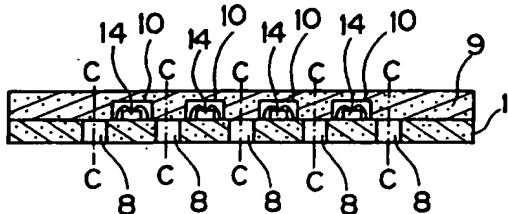


第3圖

14…素子

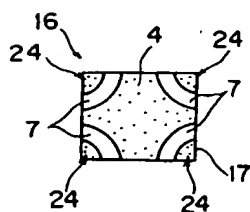


第4圖

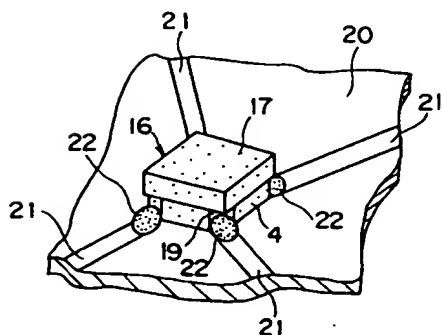


第7圖

7…下面電極

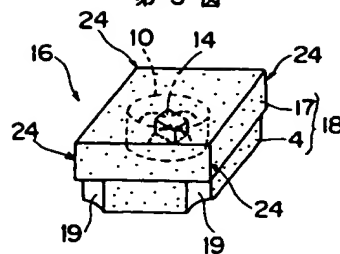


第8圖



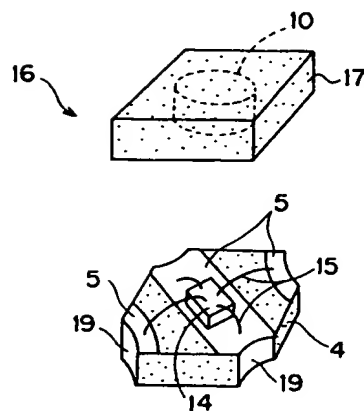
第5圖

4…基板

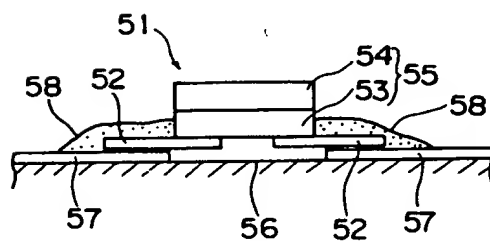


第6圖

5…上面電極



第9圖



第10圖

